

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 10 SEP 2004
WIPO PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 103 33 557.9
Anmeldetag: 23. Juli 2003
Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE
Bezeichnung: Speicherzelle und Verfahren zur Herstellung einer Speichereinrichtung
IPC: H 01 L 21/8247

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 30. August 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

SL

Stremme

13.07.2003 13.07.2003
MÜLLER · HOFFMANN & PARTNER - PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 MÜNCHEN

Anwaltsakte: 12597

Ko/Bg/gt

Anmelderzeichen: 2003P51105 DE (2003 E 51103 DE)

23.07.2003

Infineon Technologies AG

St.-Martin-Str. 53
81669 MÜNCHEN

Speicherzelle und Verfahren zur Herstellung einer Speichereinrichtung

Beschreibung

Speicherzelle und Verfahren zur Herstellung einer Speicherzelleinrichtung

5 Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterstrukturen aufweisenden Speichereinrichtung mit Speicherzellen, in denen digitale Information in einer Speicherschicht gespeichert wird, bei dem:

- in einem Halbleitersubstrat zwei durch einen Kanalbereich voneinander beabstandete Source/Drain-Bereiche ausgebildet werden,
- auf einer Substratoberfläche des Halbleitersubstrates im Wesentlichen oberhalb des Kanalbereiches ein Gate-Dielektrikum vorgesehen wird.

15 Außerdem betrifft die Erfindung eine Speicherzelle mit einer eine digitale Information speichernden Speicherschicht, mit zwei in einem Halbleitersubstrat ausgebildeten durch einen Kanalbereich voneinander beabstandeten Source/Drain-Bereichen und einem auf einer Substratoberfläche des Halbleitersubstrats im Wesentlichen oberhalb des Kanalbereiches vorgesehnen Gate-Dielektrikum.

20 25 zur Herstellung von DRAM (Dynamic Random Access Memory)- oder EEPROM (Electrically Erasable and Programmable Read-Only-Memory)- Speichereinrichtungen werden Speicherzellen verwendet, in denen digitale Information als ein Ladungszustand einer Ladung speichernden Einheit gespeichert wird. Um den Ladungszustand der Ladung speichernden Einheit in der Speicherzelle zuverlässig messen zu können, darf die Menge der gespeicherten Ladung ein vorgegebenes Minimum nicht unterschreiten. Dieser Umstand führt zu einem erheblichen Aufwand bei einer weiteren Verkleinerung der Speicherzellen. Denn je

kleiner die Speicherzelle wird, desto geringer wird auch die mögliche Menge an gespeicherter Ladung sein und um so aufwändiger wird es den Ladungszustand der Zelle zuverlässig nachzuweisen.

5 Ein Ansatz, die Situation zu verbessern, besteht darin, die Ladung speichernde Einheit einer Speicherzelle, die üblicherweise als ein mit einem Auswahltransistor verbundener Kondensator ausgebildet wird, als eine Speicherschicht auszubilden, die Ladung speichert und über dem Kanalbereich eines Feldeffekttransistors angeordnet wird. Dadurch kann die in der Speicherschicht gespeicherte Ladung kapazitiv in den Kanalbereich des Feldeffekttransistors eingekoppelt und damit eine Verstärkung des Feldeffekttransistors ausgenutzt werden. Aufgrund der Verstärkung des Feldeffekttransistors genügt schon eine geringe Menge an gespeicherter Ladung, um einen sicheren Nachweis der gespeicherten Information zu ermöglichen. Dieser Ansatz wird zum Beispiel bei ferroelektrischen Feldeffekttransistoren angewendet, bei denen die Speicherschicht aus einem ferroelektrischen Material besteht. Eine genaue Beschreibung eines Feldeffekttransistors mit ferroelektrischer Speicherschicht findet sich in der Veröffentlichung von I. Ishiara, Recent Progress of FET-Type Ferroelectric Memories, Integrated Ferroelectrics 34 (2001), 11-20.

15 20 25 30 Besteht die Speicherschicht aus einem organischen Material, ist es üblich, die organische Speicherschicht aufgrund der geringen Menge an gespeicherter Ladung, gemäß dem oben beschriebenen Ansatz direkt über dem Kanalbereich eines Feldeffekttransistors anzuordnen, so dass die Verstärkung des Feldeffekttransistors ausgenutzt werden kann. Die organische Speicherschicht kann beispielsweise aus Porphyrinmolekülen bestehen. Oxidation und Reduktion der Porphyrinmoleküle führen zu unterschiedlichen Ladungszuständen in der Speicher-

schicht. Eine Reduktion entspricht einem Aufladen der Speicherschicht mit Elektronen und eine Oxidation einem Entladen der Speicherschicht. Um den die digitale Information repräsentierenden Ladungszustand der Speicherschicht festzustellen, wird an eine Gate-Elektrode des Feldeffekttransistors eine konstante Lesespannung angelegt und ein resultierender Drain-Strom zwischen den beiden Source/Drain-Bereichen detektiert. Ist die Speicherschicht mit Elektronen geladen, dann verschiebt sich eine Schwellenspannung oberhalb der der Drain-Strom näherungsweise exponentiell von der Höhe der Gate-Spannung abhängt, zu höheren Spannungswerten hin. Bei geeigneter Lesespannung ist der Drain-Strom im reduzierten Zustand der Speicherschicht einmal näherungsweise nicht vorhanden und kennzeichnet einen logischen Zustand Null. Im oxidierten Zustand der Speicherschicht fließt ein Drain-Strom und kennzeichnet einen logischen Zustand Eins.

Ein herkömmlicher Feldeffekttransistor einer Speicherzelle mit einer organischen Speicherschicht ist in der Figur 1 dargestellt. Zwei Source/Drain-Bereiche 5 sind in einem Halbleitersubstrat durch einen Kanalbereich 4 voneinander getrennt. Auf dem Kanalbereich 4 befindet sich ein Gate-Dielektrikum 6 und auf dem Gate-Dielektrikum 6 eine organische Speicherschicht 10. Auf der organischen Speicherschicht 10 ist eine Gate-Elektrode 7 vorgesehen.

An die Gate-Elektrode 7 wird eine vorgegebene Lesespannung angelegt und in Abhängigkeit davon, ob sich die Speicherschicht 10 in einem reduzierten oder oxidierten Zustand befindet, fließt bei angelegter Lesespannung ein oder näherungsweise kein Drain-Strom zwischen den beiden Source/Drain-Bereichen 5.

Die beschriebene Abhängigkeit des Drain-Stromes von dem Ladungszustand der Speicherschicht ist in der Figur 5 dargestellt. An der Ordinate sind der Logarithmus des Drain-Stromes und an der Abszisse die Gate-Spannung eines einer organischen Speicherschicht enthaltenden n-Kanal Feldeffekttransistors einer Speicherzelle wie sie in der Figur 1 dargestellt ist, aufgetragen. Eine solche Speicherzelle lässt sich ohne Einschränkung auch mit einem p-Kanal Feldeffekttransistor realisieren. Die mit a gekennzeichnete Strom-Spannungs-Kennlinie entspricht dem Feldeffekttransistor mit einer entladenen oxidierten Speicherschicht. Die mit b gekennzeichnete Strom-Spannungs-Kennlinie entspricht dem Feldeffekttransistor mit einer geladenen reduzierten Speicherschicht. Eine Oxidation bzw. Reduktion der organischen Schicht führt zu einer Parallelverschiebung der Strom-Spannungs-Kennlinie des Feldeffekttransistors entlang der Abszisse. Der auf der Abszisse gekennzeichnete Wert U_L gibt die Höhe der Lesespannung an der Gate-Elektrode an. Befindet sich die Speicherschicht des Feldeffekttransistors in einem reduzierten Zustand mit der Strom-Spannungs-Kennlinie b, dann ist der zu dem Wert U_L gehörende Drain-Strom D_2 auf der Ordinate quasi Null. Befindet sich die Speicherschicht in einem oxidierten Zustand mit der Stromspannungskennlinie a, dann nimmt der zu dem Wert U_L gehörende Drain-Strom D_1 einen signifikant höheren Wert an. Es können also zwei Ladungszustände der Speicherschicht bei einer konstanten Lesespannung an der Gate-Elektrode durch die Höhe des resultierenden Drain-Stromes unterschieden werden.

Die Herstellung von Speichereinrichtungen mit den in der Figur 1 dargestellten Speicherzellen ist jedoch nachteilig. Bei einem üblichen Herstellungsverfahren von Speichereinrichtungen werden zunächst Halbleiterstrukturen der Feldeffekttransistoren von Speicherzellen und ihre gegenseitige Isolation prozessiert. Damit ist ein Teil des Gesamtprozesses, der auch

als vorderer Teil FEOL (Front End of Line) bezeichnet wird und die Prozessierung von mono- und polykristallinen Halbleiterstrukturen betrifft, abgeschlossen. Nach der Prozessierung der Halbleiterstrukturen erfolgt ein Kontaktieren und Verbinden der einzelnen mono- und polykristallinen Halbleiterstrukturen. Dieser Teil des Gesamtprozesses wird auch als hinterer Teil BEOL (Back End Of Line) bezeichnet. Da im FEOL sehr hohe Temperaturen bis zu 1.100 Grad Celsius angewendet werden, ist die in der Figur 1 dargestellte herkömmliche Speicherzelle mit Feldeffekttransistor mit organischer Speicherschicht, die auf dem Gate-Dielektrikum unterhalb der polykristallinen Gate-Elektrode angeordnet ist, nur schwer zu realisieren. Denn in den meisten Fällen sind organische Speicherschichten sehr temperaturempfindlich und die Anordnung unterhalb der Gate-Elektrode erfordert das Aufbringen der Speicherschicht im FEOL-Bereich, in dem die Speicherschicht sehr hohen Temperaturen ausgesetzt ist.

Organische Speicherschichten haben bei Verwendung von extrem dünnen Isolatorschichten gegenüber anorganischen Speicherschichten jedoch den Vorteil einer dauerhaften Ladungsspeicherung. Organische Speicherschichten weisen zudem eine gute Skalierbarkeit auf. Dies ist bei einer weiteren Verkleinerung von Speicherzellen vorteilhaft.

Daher liegt der Erfindung die Aufgabe zugrunde, ein Verfahren zur Herstellung einer Speichereinrichtung mit Speicherzellen, in denen digitale Information in einer temperaturempfindlichen Speicherschicht gespeichert wird, zur Verfügung zu stellen. Außerdem liegt der Erfindung die Aufgabe zugrunde, eine Speicherzelle mit einer temperaturempfindlichen Speicherschicht zur Verfügung zu stellen.

Diese Aufgabe wird bei einem Verfahren der eingangs genannten Art durch die im kennzeichnenden Teil des Patentanspruchs 1

angegebenen Merkmale gelöst. Die Aufgabe wird gelöst durch Speicherzellen gemäß Patentanspruch 11. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den jeweiligen Unteransprüchen.

5

Es wird ein Verfahren zur Herstellung einer Halbleiterstrukturen aufweisenden Speichereinrichtung mit Speicherzellen, in denen digitale Information in einer Speicherschicht gespeichert wird zur Verfügung gestellt. Bei dem Verfahren werden in einem Halbleitersubstrat zwei durch einen Kanalbereich voneinander beabstandete Source/Drain-Bereiche ausgebildet. Auf einer Substratoberfläche des Halbleitersubstrates wird im wesentlichen oberhalb des Kanalbereiches ein Gate-Dielektrikum vorgesehen. Erfahrungsgemäß wird auf dem Gate-

10 15 Dielektrikum eine erste Gate-Elektrode angeordnet. Vor einem Aufbringen der Speicherschicht wird eine Prozessierung der Halbleiterstrukturen abgeschlossen. Zwischen Speicherschicht und erster Gate-Elektrode wird eine leitende Verbindung vorgesehen. Über der Speicherschicht wird eine Isolatorschicht 20 25 und auf der Isolatorschicht eine zweite Gate-Elektrode vorgesehen.

Bei dem erfahrungsgemäßen Verfahren wird vor dem Aufbringen der Speicherschicht die Prozessierung von poly- und monokristallinen Halbleiterstrukturen, bei der hohe Temperaturen angewendet werden, abgeschlossen. Poly- oder monokristalline Halbleiterstrukturen sind beispielsweise Source/Drain-Bereiche, Kanalbereich und erste Gate-Elektrode eines Feldefekttransistors. Das Aufbringen der Speicherschicht wird damit in einen Teil der Prozessierung verlegt, in dem ein Kontaktieren und Verbinden der einzelnen mono- und polykristallinen Halbleiterstrukturen stattfindet und in dem keine hohen Temperaturen mehr angewendet werden. Die Verlegung des Aufbringens der Speicherschicht in einen fortgeschritteneren

Prozessierungsteil erzwingt in der Regel auch eine Trennung der Speicherschicht von der im allgemeinen aus einem polykristallinen Halbleitersubstrat ausgebildeten ersten Gate-Elektrode. Daher wird eine leitende Verbindung zwischen der Speicherschicht und der ersten Gate-Elektrode zum Beispiel in Form eines metallgefüllten Kontaktloches, das in eine Isolationsschicht eingebracht wird, vorgesehen. Die zweite Gate-Elektrode, die durch eine Isolatorschicht von der mit der ersten Gate-Elektrode des Feldeffekttransistors in leitender Verbindung stehenden Speicherschicht getrennt wird, wird zum Ansteuern des Feldeffekttransistors verwendet.

Der wesentliche Vorteil des erfahrungsgemäßen Verfahrens besteht darin, dass in einfacher Weise und ohne zusätzliche Prozessschritte durch die Verlegung des Aufbringens der Speicherschicht in einen fortgeschritteneren Prozessierungsteil die thermische Belastung der Speicherschicht deutlich verringert wird. Dadurch wird das Spektrum an Materialien, die für Speicherschichten vorgesehen werden, erheblich erweitert.

Durch das erfahrungsgemäße Verfahren wird es möglich, auch organische Speicherschichten zu verwenden.

In vorteilhafter Weise wird die Speicherschicht zwischen einer ersten und einer zweiten Elektrode angeordnet.

Durch das Vorsehen von zusätzlich ausgebildeten Elektroden können Elektrodenmaterialien verwendet werden, die auf ein Material der Speicherschicht abgestimmt werden. Ein weiterer Vorteil besteht darin, daß die Elektrodenflächen unabhängig von den Transistor- und Kontaktflächen gewählt werden können.

Vorzugsweise wird die erste Elektrode durch einen Abschnitt der leitenden Verbindung ausgebildet. Wird die leitende Verbindung beispielsweise als ein mit einem leitenden Material gefülltes Kontaktloch ausgebildet, dann läßt sich die Spei-

cherschicht auch direkt auf die Kontaktlochfüllung aufbringen. Dadurch kann ein Prozessschritt eingespart werden.

5 In vorteilhafter Weise werden für die erste und die zweite Elektrode eines der Metalle Aluminium, Wolfram oder Kupfer vorgesehen. Dies sind Metalle, wie sie auch in den übrigen Prozessschritten verwendet werden. Das Ausbilden der Elektroden würde damit keinen zusätzlichen Prozessschritt erfordern.

Vorzugsweise werden für die erste und die zweite Elektrode eines der Edelmetalle Platin, Gold oder Silber vorgesehen.

15 Vorzugsweise werden die erste Elektrode in einer ersten Metallebene und die zweite Elektrode in einer zweiten Metall- ebene ausgebildet. Die leitende Verbindung zwischen der ersten Gate-Elektrode und der ersten Elektrode wird durch ein mit leitendem Material gefülltes Kontaktloch hergestellt.

20 Durch das Ausbilden der ersten und der zweiten Elektrode in jeweils einer Metallebene wird in vorteilhafter Weise kein zusätzlicher Prozessschritt zum Ausbilden der Elektroden benötigt. Denn die Elektroden können zusammen mit Leiterbahnen, die in den Metallebenen ausgebildet werden, prozessiert werden. Ein zusätzlicher Vorteil bei dieser Vorgehensweise be- steht darin, dass die Speicherschicht in einfacher Weise in ein Loch, das in einer Isolationsschicht, die die beiden Me- tallebenen elektrisch voneinander trennt, vorgesehen wird, eingebracht werden kann. Die leitende Verbindung zwischen der ersten Gate-Elektrode und der ersten Elektrode wird durch ein 25 mit leitendem Material gefülltes Kontaktloch hergestellt.

30 Zwischen der ersten Metallebene und der ersten Gate-Elektrode befindet sich eine weitere Isolationsschicht. In diese Isola- tionsschicht werden Kontaktlöcher zur Herstellung von leiten- den Verbindungen zur ersten Metallebene eingebracht. In vor-

teilhafter Weise ist kein zusätzlicher Prozessschritt nötig, um das Kontaktloch für die leitende Verbindung zwischen der ersten Gate-Elektrode und der ersten Elektrode herzustellen.

5 In vorteilhafter Weise werden jeweils die erste und die zweite Elektrode in jeweils einer im weiteren Prozessverlauf prozessierten Metallebene ausgebildet. Die leitende Verbindung zwischen der ersten Elektrode und der ersten Gate-Elektrode wird durch übereinander angeordnete und mit leitendem Material gefüllte Kontaktlöcher hergestellt. Der Vorteil bei dieser Vorgehensweise besteht darin, dass durch das Ausbilden der Elektroden zu einem im Gesamtprozessverlauf späteren Zeitpunkt, also durch die Verlegung der ersten und der zweiten Elektrode in höhere Metallebenen, die thermische Belastung, 15 der die Speicherschicht ausgesetzt wird, weiter reduziert wird. Die leitende Verbindung zwischen der ersten Gate-Elektrode und der ersten Elektrode wird in vorteilhafter Weise durch übereinander angeordnete Kontaktlöcher, die in die Isolationsschichten zwischen den Metallebenen eingebracht werden, hergestellt. Die übereinander angeordneten mit leitendem Material gefüllten Kontaktlöcher stellen eine leitende 20 Verbindung durch mehrere Metallebenen hindurch her.

Vorzugsweise wird als Speicherschicht eine organische Schicht 25 vorgesehen, die beispielsweise mit Porphyrinmolekülen vorgesehen werden kann. Organische Speicherschichten, wie zum Beispiel solche, die aus Porphyrinmolekülen bestehen, haben den Vorteil einer dauerhaften Ladungsspeicherung und geringer Leckströme. Das Gate-Dielektrikum, durch das die Ladungsträger abfließen können, kann dünner als bei der Verwendung von 30 anorganischen Speicherschichten, vorgesehen werden. Ein dünneres Gate-Dielektrikum bietet den Vorteil eines beschleunigten Auflade- und Entladevorganges der Speicherschicht und damit schnellerer Zugriffszeiten. Außerdem haben organische

Speicherschichten den Vorteil einer guten Skalierbarkeit. Für eine weitere Verkleinerung von Speicherzellen ist dies von großem Nutzen.

5 In vorteilhafter Weise werden zur Herstellung von Source- und Drainleitungen, Source/Drain-Bereiche von zeilenweise angeordneten in einer Zeile jeweils benachbarten Speicherzellen durch im Halbleitersubstrat vorgesehene, dotierte Bereiche elektrisch leitend miteinander verbunden. Nach einer vorgegebenen Anzahl von durch dotierte Bereiche im Halbleitersubstrat elektrisch leitend miteinander verbundenen Source/Drain-Bereichen werden leitende Verbindungen mit in einer Metallebene ausgebildeten und die Source/Drain-Bereiche von Speicherzellen verbindende Leiterbahnen vorgesehen. Die dotierten Bereiche können durch Eindiffusion eines Dotierstof- fes in das Halbleitersubstrat eingebracht werden. Der Vorteil liegt darin, dass eine Vergrößerung einer von der Speicherzelle beanspruchten Fläche auf einem Halbleiter-Wafer vermieden werden kann. Die Vergrößerung der von der Speicherzelle beanspruchten Fläche würde durch ein Einhalten von Mindestab- ständen zwischen Kontakten zur Metallebene und Elektroden, zwischen denen die Speicherschicht angeordnet ist, entstehen. Durch das Vorsehen von Leitungen, die als dotierte Bereiche im Halbleitersubstrat ausgebildet werden, können Kontakte zur Metallebene in vorteilhafter Weise nach einer vorgegebenen Anzahl von Speicherzellen vorgesehen werden und es ist dadurch nicht mehr nötig einen Kontakt zur Metallebene in jeder Speicherzelle vorzusehen.

30 Eine Speicherzelle ist mit einer eine digitale Information speichernden Speicherschicht, mit zwei in einem Halbleiter- substrat ausgebildeten durch einen Kanalbereich voneinander beabstandeten Source/Drain-Bereichen und mit einem auf einer Substratoberfläche des Halbleitersubstrats im Wesentlichen

oberhalb des Kanalbereiches angeordneten Gate-Dielektrikum vorgesehen. Erfindungsgemäß ist auf dem Gate-Dielektrikum eine erste Gate-Elektrode angeordnet. Die Speicherschicht ist auf der ersten Gate-Elektrode, oder zur ersten Gate-Elektrode

5 beabstandet angeordnet. Es ist eine leitende Verbindung zwischen der Speicherschicht und der ersten Gate-Elektrode vorgesehen. Über der Speicherschicht ist eine Isolatorschicht und auf der Isolatorschicht eine zweite Gate-Elektrode vorgesehen.

Die erfundungsgemäße Speicherzelle hat den Vorteil, dass mono- bzw. polykristalline Halbleiterstrukturen, wie zum Beispiel Kanalbereich, Source/Drain-Bereich und erste Gate-

15 Elektrode eines Feldeffekttransistors, vor dem Aufbringen der Speicherschicht prozessiert werden können. Da üblicherweise bei der Prozessierung von Halbleiterstrukturen hohe Temperaturen angewendet werden, verringert sich durch das Aufbringen der Speicherschicht zu einem späteren Zeitpunkt die thermische Belastung der Speicherschicht. Dadurch wird eine Degradation von beispielsweise organischen Speicherschichten verhindert. Durch die leitende Verbindung der Speicherschicht mit der ersten Gate-Elektrode wird die Speicherschicht geladen und entladen. Mit der erfundungsgemäßen Speicherzelle kann das Spektrum an Materialien, aus denen Speicherschichten

20 bestehen können, erheblich erweitert werden.

25 Die Speicherschicht ist zwischen einer ersten und einer zweiten Elektrode angeordnet. Durch das Vorsehen von zusätzlich ausgebildeten Elektroden können Elektrodenmaterialien verwendet werden, die auf ein Material der Speicherschicht abgestimmt sind. Ein weiterer Vorteil besteht darin, daß die Elektrodenflächen unabhängig von den Transistor- und Kontaktflächen gewählt werden können.

Vorzugsweise ist die erste Elektrode durch einen Abschnitt der leitenden Verbindung ausgebildet. Ist die leitende Verbindung beispielsweise als ein mit einem leitenden Material gefülltes Kontaktloch ausgebildet, dann lässt sich die Speicherschicht auch direkt auf die Kontaktlochfüllung aufbringen. Dadurch kann ein Prozessschritt eingespart werden.

10 In vorteilhafter Weise bestehen die erste und die zweite Elektrode aus einem der Metalle Aluminium, Wolfram oder Kupfer. Dies sind Metalle, wie sie auch in den übrigen Prozessschritten verwendet werden. Das Ausbilden der Elektroden würde damit keinen zusätzlichen Prozessschritt erfordern.

15 Vorzugsweise bestehen die erste und die zweite Elektrode aus einem der Edelmetalle Platin, Gold oder Silber.

20 Vorzugsweise sind die erste Elektrode in einer ersten Metallebene und die zweite Elektrode in einer zweiten Metallebene ausgebildet. Die leitende Verbindung zwischen der ersten Gate-Elektrode und der ersten Elektrode ist durch ein mit leitendem Material gefülltes Kontaktloch vorgesehen. Das Ausbilden der Elektroden, zwischen denen die Speicherschicht angeordnet ist, in benachbarten Leiterbahnen und Kontaktlöcher enthaltenden Metallebenen hat den Vorteil, dass zusätzliche Prozessschritte zum Ausbilden der Elektroden vermieden werden. In vorteilhafter Weise werden bei der Herstellung der leitenden Verbindung durch ein mit leitendem Material gefülltes Kontaktloch, das in eine Isolationsschicht, die zwischen der ersten Gate-Elektrode und der ersten Metallebene angeordnet ist, eingebracht ist, keine zusätzlichen Prozessschritte benötigt.

Jeweils die erste und die zweite Elektrode sind in jeweils einer von der ersten Gate-Elektrode weiter als die erste oder die zweite Metallebene beabstandeten Metallebene ausgebildet. Die leitende Verbindung von der ersten Elektrode mit der ersten Gate-Elektrode ist durch in Isolationsschichten eingebrachte, übereinander angeordnete und mit leitendem Material gefüllte Kontaktlöcher vorgesehen. Durch das Anordnen der Elektroden in höher als die erste oder die zweite Metallebene gelegenen Metallebenen wird in vorteilhafter Weise die thermische Belastung der Speicherschicht weiter reduziert. Die leitende Verbindung zwischen der ersten Gate-Elektrode mit der ersten Elektrode ist in vorteilhafter Weise durch übereinander angeordnete Kontaktlöcher, die eine Verbindung durch mehrere Metallebenen hindurch herstellen, vorgesehen.

15 Die Speicherschicht ist als eine organische Schicht, die beispielsweise Porphyrinmoleküle enthält, vorgesehen. Solche Schichten binden Ladungsträger dauerhaft und weisen vorwiegend geringe Leckströme auf. Das Gate-Dielektrikum, durch das die Ladungsträger abfließen können, kann dünner vorgesehen werden. Ein dünneres Gate-Dielektrikum bietet den Vorteil eines beschleunigten Auflade- und Entladevorganges der Speicherschicht. Außerdem haben organische Speicherschichten den Vorteil einer guten Skalierbarkeit. Für eine weitere Verkleinerung von Speicherzellen ist dies von großem Nutzen.

20 Eine Speichereinrichtung ist mit zeilenweise angeordneten, Halbleiterstrukturen aufweisenden und eine digitale Information speichernden Speicherzellen vorgesehen. Vorzugsweise sind in der Speichereinrichtung die beschriebenen erfindungsgemäßen Speicherzellen angeordnet. Die Speichereinrichtung hat den Vorteil, dass in ihr digitale Informationen in organischen Speicherschichten gespeichert werden können. Aufgrund der Dauerhaftigkeit der Ladungsspeicherung sind Leckströme

reduziert. Speichereinrichtungen mit den erfundungsgemäßen Speicherzellen zeichnen sich durch eine dauerhafte Informationsspeicherung und beschleunigte Programmievorgänge aus.

5 In vorteilhafter Weise sind zur Bereitstellung von Source- und Drainleitungen Source/Drain-Bereiche von in einer Zeile jeweils benachbarten Speicherzellen durch im Halbleitersubstrat vorgesehene dotierte Bereiche elektrisch leitend mit einander verbunden. Nach einer vorgegebenen Anzahl von durch 10 dotierte Bereiche im Halbleitersubstrat elektrisch leitend miteinander verbundenen Source/Drain-Bereichen sind leitende Verbindungen zu in einer Metallebene ausgebildeten und Source/Drain-Bereiche von Speicherzellen verbindenden Leiterbahnen vorgesehen. In einem Halbleitersubstrat mit einem Dotierstoff lokal diffundierte Source- und Drainleitungen haben den Vorteil einer Flächenersparnis auf einem Halbleiter-Wafer pro Speicherzelle, die daraus resultiert, dass auf eine Kontaktierung jeder einzelnen Speicherzelle mit der Metallebene verzichtet werden kann. Andererseits haben Leitungen, die aus 15 dotiertem Halbleitersubstrat bestehen, den Nachteil eines höheren Widerstandes. Um diesen Nachteil auszugleichen, ist nach einer vorgegebenen Anzahl von Speicherzellen, beispielsweise acht oder sechzehn Speicherzellen, eine leitende Verbindung zur Leiterbahn in der Metallebene vorgesehen. Dadurch 20 wird der Nachteil eines erhöhten Widerstandes ausgeglichen und trotzdem der Vorteil einer Flächenersparnis ausgenutzt.

25

Bei einem Verfahren zum Betrieb der beanspruchten Speichereinrichtung werden zum Programmieren der Speichereinrichtung die jeweiligen Speicherschichten von ausgewählten Speicherzellen aufgeladen. Dies geschieht durch Anlegen von Spannungen an die in den ausgewählten Speicherzellen enthaltenen Source/Drain-Bereiche und die zweite Gate-Elektrode. Eine Aufladung der Speicherschichten erfolgt dann mittels energie-

reicher Elektronen oder mittels eines Tunnelvorganges von Elektronen durch das Gate-Dielektrikum hindurch. Zum Löschen der Programmierung werden die aufgeladenen Speicherschichten durch Anlegen einer sich von der beim Programmieren angelegten Spannung unterscheidenden Löschspannung an die zweite Gate-Elektrode mittels eines Tunnelvorganges von Elektronen zum Kanalbereich oder zu einem Source/Drain-Bereich entladen. Zum Lesen der programmierten Speichereinrichtung wird eine Stärke eines Drainstromes in Abhängigkeit von einem Ladungszustand der Speicherschicht detektiert.

Zum Aufladen der Speicherschicht in der Speicherzelle ist eine Spannung zwischen der zweiten Elektrode und dem Kanalbereich erforderlich, die gross genug ist, dass mindestens ein 15 der Speicherschicht entsprechendes Reduktionspotential an der Speicherschicht anliegt. Die notwendige Spannung kann durch Anlegen eines positiven Potentials an die zweite Elektrode und eines negativen Potentials an einen dotierten Bereich im Halbleitersubstrat in dem Source/Drain-Bereiche und Kanalbereich eines Transistors ausgebildet werden und der auch als Wanne Bezeichnet wird, erzeugt werden. Wenn die Spannung an der zweiten Gate-Elektrode ausreichend ist, um eine Aufladung der organischen Speicherschicht zu erwirken, kann in vorteilhafter Weise auch eine Spannung an den Drain-Bereich angelegt 20 werden. Wenn das verwendete Material für die Speicherschicht mehrere Redoxzustände aufweist, können durch Anlegen verschiedener Spannungen mehrere Zustände eingeschrieben werden. Zum Löschen der aufgeladenen Speicherschicht können entsprechend die Oxidationspotentiale angelegt werden, d. h., dass 25 ein negatives Potential an die zweite Elektrode und ein positives Potential an die Wanne angelegt werden.

Zum Aufladen der Speicherschicht in der Speicherzelle kann beispielsweise eine Spannung an den Drainbereich von 5 V bis

7 V und eine Spannung an die zweite Gatelektrode von 10 V bis 12 V angelegt werden. Bei diesen Spannungsverhältnissen werden im Kanalbereich des Feldeffekttransistors energiereiche Elektronen erzeugt, die durch das Gate-Dielektrikum hindurch 5 in die erste Gate-Elektrode und durch die leitende Verbindung zur Speicherschicht gelangen. Elektronen werden von der Speicherschicht aufgenommen und gehalten. Eine Änderung des Ladungszustandes und damit auch eine Änderung des elektrischen Potentials ist in der Speicherschicht eingetreten. Eine weitere Möglichkeit, die Speicherschicht aufzuladen, besteht 10 darin, einen durch ein elektrisches Feld unterstützten Tunnelvorgang von Elektronen durch das Gate-Dielektrikum auszunutzen.

15 Zum Entladen der Speicherschicht kann der durch ein elektrisches Feld unterstützte Tunnelvorgang von Elektronen aus der Speicherschicht durch das Gate-Dielektrikum zum Kanalbereich oder zu einem der Source/Drain-Bereiche ausgenutzt werden. Beispielsweise durch Anlegen einer Spannung von 5 V an den 20 Source-Bereich und einer Spannung von -8 V an die zweite Gate-Elektrode. Um den Ladungszustand der in der Speicherzelle enthaltenen Speicherschicht bei einem Lesevorgang in der Speichereinrichtung zu detektieren, wird an die zweite Gate-Elektrode eine festgelegte Lesespannung und eine Spannung 25 zwischen dem Source- und dem Drain-Bereich zum Erzeugen eines lateralen Feldes angelegt. Die Höhe des Drainstromes hängt oberhalb einer Schwellenspannung näherungsweise linear von der Höhe der Spannung an der zweiten Gate-Elektrode ab. Unterhalb der Schwellenspannung ist der Drainstrom näherungsweise nicht vorhanden. Ist die Speicherschicht beispielsweise 30 mit negativen Ladungsträgern aufgeladen und weist somit ein negatives elektrisches Potential auf, dann verschiebt sich die Schwellenspannung zu einer höheren Spannung an der zweiten Gate-Elektrode hin. Damit ein messbarer Drainstrom flie-

ßen kann, wird eine höhere Spannung an die zweite Gate-Elektrode angelegt. Bei einer geeigneten konstanten Lesespannung an der zweiten Gate-Elektrode fließt in Abhängigkeit vom Ladungszustand der Speicherschicht der Drainstrom, der im geladenen Zustand der Speicherschicht quasi nicht vorhanden ist, also den logischen Wert Null zugewiesen bekommen kann und im entladenen Zustand einen endlichen Wert aufweist und den logischen Wert Eins zugewiesen bekommen kann. Eine eingehende Beschreibung der genannten Vorgänge findet sich in dem Buch: Flash Memories, edited by P. Cappelletti, C. Golla, P. Olivo, E. Zanoni, Kluwer Academic Publishers, 53- 58 (1999).

Nachfolgend wird die Erfindung anhand der Figuren näher erläutert. Es zeigen:

15 Fig. 1 einen schematischen Querschnitt durch eine dem Stand der Technik entsprechende Speicherzelle,

20 Fig. 2 einen schematischen Querschnitt durch eine erfindungsgemäße Speicherzelle nach einem ersten Ausführungsbeispiel,

25 Fig. 3 einen schematischen Querschnitt durch eine erfindungsgemäße Speicherzelle nach einem zweiten Ausführungsbeispiel,

Fig. 4 einen schematischen Ausschnitt aus einer erfindungsgemäßen Speichereinrichtung in der Draufsicht und

30 Fig. 5 Stromspannungskennlinien eines Feldeffekttransistors mit organischer Speicherschicht.

Die Figur 1 ist in der Beschreibungseinleitung bereits näher erläutert worden.

Zur Herstellung einer in der Figur 2 dargestellten Speicherzelle 1 in der digitale Information in einer temperaturempfindlichen organischen Speicherschicht 10 gespeichert wird, werden in einem Halbleitersubstrat 17 zwei durch einen Kanalbereich 4 voneinander beabstandete Source/Drain-Bereiche 5 als dotierte Bereiche vorgesehen. Im Wesentlichen oberhalb des Kanalbereiches 4 wird ein Gate-Dielektrikum 6 und auf dem Gate-Dielektrikum 6 eine erste Gate-Elektrode 7a angeordnet. Die organische Speicherschicht 10 wird oberhalb der ersten Gate-Elektrode 7a zwischen einer ersten Metallebene 11a und einer zweiten Metallebene 11b vorgesehen. Dadurch, dass die organische Speicherschicht 10 oberhalb der poly- oder monokristallinen Halbleiterstrukturen, also derjenigen Strukturen, die im Halbleitersubstrat 17 oder aus einem Halbleitersubstrat 17 bestehend vorgesehen werden, angeordnet wird, kann vor dem Aufbringen der organischen Speicherschicht 10 eine Prozessierung der Halbleiterstrukturen abgeschlossen werden. Da bei der Prozessierung der Halbleiterstrukturen Temperaturen bis zu 1100 Grad Celsius angewendet werden und bei solchen Temperaturen die organische Speicherschicht 10 geschädigt wird, kann durch das Aufbringen der organischen Speicherschicht 10 zu einem späteren Zeitpunkt die thermische Belastung der organischen Speicherschicht 10 reduziert werden. Durch eine leitende Verbindung 8 wird die organische Speicherschicht 10 mit der ersten Gate-Elektrode 7a verbunden und kann durch Elektronen die aus dem Kanalbereich 4 durch das Gate-Dielektrikum 6 in die erste Gate-Elektrode 7a gelangen, aufgeladen werden. Die leitende Verbindung ist in Form eines metallgefüllten Kontaktloches 14, das in eine Isolationssschicht 12 eingebbracht wird, vorgesehen. Die organische Speicherschicht 10 ist in einem Loch zwischen zwei Metallebenen 11a, b eingebbracht und zwischen einer ersten und einer zweiten Elektrode 9a, b angeordnet. Über der zweiten Elektrode

de befindet sich die zweite Gate-Elektrode 7b, die durch eine Isolatorschicht 18 von der zweiten Elektrode 9b getrennt ist. Die zweite Gate-Elektrode 7b dient einer Ansteuerung eines aus den beschriebenen Elementen bestehenden Feldeffekttransistors.

Der Fig. 2 sind die Elemente des in der Speicherzelle 1 enthaltenen Feldeffekttransistors mit der organischen Speicherschicht 10 entnehmbar. In einem Halbleitersubstrat 17 befinden sich die durch einen Kanalbereich 4 beabstandeten Source/Drain-Bereiche 5. Oberhalb des Kanalbereiches ist ein Gate-Dielektrikum 6 und auf dem Gate-Dielektrikum eine erste Gate-Elektrode 7a angeordnet. Es sind zwei Metallebenen 11a, b zu sehen, in denen die Elektroden 9a, b ausgeprägt sind.
15 Zwischen den Elektroden 9a,b befindet sich die organische Speicherschicht 10. Die leitende Verbindung 8 zwischen der ersten Elektrode 9a und der ersten Gate-Elektrode 7a ist in Form eines metallgefüllten Kontaktloches 14 in der Isolationsschicht 12 dargestellt. Auf der zweiten Elektrode 9b ist 20 eine Isolatorschicht 18 und auf der Isolatorschicht die zweite Gate-Elektrode 7b vorgesehen.

zur weiteren Reduzierung der thermischen Belastung auf die organische Speicherschicht 10 ist es sinnvoll, das Aufbringen 25 der Speicherschicht 10 näher an das Ende eines gesamten Prozessablaufes zur Herstellung der Speichereinrichtung 2 zu verlegen. Dies geschieht beispielsweise durch Anordnung der Speicherschicht 10 zwischen zwei zuletzt prozessierten höheren Metallebenen 11. Die leitende Verbindung 8 der ersten Elektrode 9a mit der ersten Gate-Elektrode 7a ist durch in Isolationsschichten 12 eingebrachte, übereinander gestapelte und mit Metall gefüllte Kontaktlöcher 14, die einen Kontakt durch darunter liegende Metallebenen 11 hindurch ermöglichen, 30 hergestellt.

Das in der Fig. 3 gezeigte Ausführungsbeispiel der Speicherzelle 1 unterscheidet sich von dem in der Fig. 2 dargestellten Ausführungsbeispiel der Speicherzelle 1 durch die Art ihrer leitenden Verbindung 8. Die organische Schicht 10 befindet sich zwischen zwei höher gelegenen Metallebenen 11. Die leitende Verbindung 8 besteht aus übereinander gestapelten und mit Metall gefüllten Kontaktlöchern 14, die in die zwischen den Metallebenen 11 vorgesehenen Isolationsschichten 12 eingebracht sind und einen Kontakt durch mehrere Leiterbahnen 13 und Kontaktlöcher 14 aufweisenden Metallebenen 11 hindurch herstellen.

Um aus den Speicherzellen 1 eine Speichereinrichtung 2 herzustellen, werden die Speicherzellen 1 beispielsweise zeilenweise und spaltenweise angeordnet. Jeweils in Zeilen und Spalten benachbarte Speicherzellen 1 werden durch senkrecht zueinander angeordnete und an Kreuzungsstellen 15 übereinander liegenden Leiterbahnen 13 miteinander verbunden. Die eine Leiterbahn 13 verbindet Source/Drain-Bereiche 5 von in einer Zeile benachbarten Speicherzellen 1 und wird auch als Bit-Leitung 13b bezeichnet. Die andere Leiterbahn 13 verbindet die zweiten Gate-Elektroden 7b der in den Spalten benachbarten Speicherzellen 1 und wird auch als Adressierungsleitung 13a bezeichnet. Sowohl Bit-Leitung 13b als auch Adressierungsleitung 13a sind jeweils in einer Metallebene 11 ausgebildet. Da die Bit-Leitung 13b zu dem jeweiligen Source/Drain-Bereich 5 in jeder Speicherzelle 1 Kontakt haben sollte und Kontaktstellen Platz in der Speicherzelle 1 benötigen würden, sind, um eine Flächenersparnis zu erzielen, die Source/Drain-Bereiche 5 der Speicherzellen 1 durch dotierte Bereiche 16 im Halbleitersubstrat 17 elektrisch leitend miteinander verbunden. Nur alle beispielsweise 8 oder 16 Spei-

cherzellen 1 ist eine leitende Verbindung 8 zur Bit-Leitung 13b vorgesehen.

Ein Ausschnitt aus der Speichereinrichtung 2 ist der Figur 4 entnehmbar. Dargestellt sind kreuzweise angeordnete Bit-Leitungen 13b und Adressierungsleitungen 13a. An den Kreuzungsstellen 15 befinden sich die zeilen- und spaltenweise angeordneten Speicherzellen 1. Die als Leitungen ausgebildeten dotierten Bereiche 16, die die Source/Drain-Bereiche von in einer Zeile benachbarten Speicherzellen 1 miteinander verbinden, sind in dem Ausschnitt erkennbar, ebenso die leitende Verbindung 8 zur Bit-Leitung 13b.

Die in der Figur 5 dargestellten Strom-Spannungskennlinien einer Speicherzelle 1 mit organischer Speicherschicht 10 sind bereits in der Beschreibungseinleitung näher erläutert worden.

Bezugszeichenliste

- 1 Speicherzelle
- 5 2 Speichervorrichtung
- 4 Kanalbereich
- 5 Source/Drain-Bereich
- 6 Gate-Dielektrikum
- 7a erste Gate-Elektrode
- 10 7b zweite Gate-Elektrode
- 8 leitende Verbindung
- 9a erste Elektrode
- 9b zweite Elektrode
- 10 Speicherschicht
- 15 11 Metallebene
- 11a erste Metallebene
- 11b zweite Metallebene
- 12 Isolationsschicht
- 13 Leiterbahn
- 20 13a Adressierungsleitung
- 13b Bitleitung
- 14 Kontaktloch
- 15 Kreuzungsstellen
- 16 dotierter Bereich
- 25 17 Halbleitersubstrat
- 18 Isolatorschicht

Patentansprüche

1. Verfahren zur Herstellung einer Halbleiterstrukturen aufweisenden Speichereinrichtung (2) mit Speicherzellen (1), in denen digitale Information in einer Speicherschicht (10) gespeichert wird, bei dem:

5 - in einem Halbleitersubstrat (17) zwei durch einen Kanalbereich (4) voneinander beabstandete Source/Drain-Bereiche (5) ausgebildet werden,

10 - auf einer Substratoberfläche des Halbleitersubstrats (17) im Wesentlichen oberhalb des Kanalbereiches (4) ein Gate-Dielektrikum (6) vorgesehen wird,

dadurch gekennzeichnet, dass

15 - auf dem Gate-Dielektrikum (6) eine erste Gate-Elektrode (7a) angeordnet wird,

- vor einem Aufbringen der Speicherschicht (10) eine Prozessierung der Halbleiterstrukturen abgeschlossen wird,

- eine leitende Verbindung (8) zwischen der Speicherschicht (10) und der ersten Gate-Elektrode (7a) vorgesehen wird,

20 - über der Speicherschicht (10) eine Isolatorschicht (18) und - auf der Isolatorschicht (18) eine zweite Gate-Elektrode (7b) vorgesehen wird.

2. Verfahren nach Anspruch 1,

25 dadurch gekennzeichnet, dass die Speicherschicht (10) zwischen einer ersten und einer zweiten Elektrode (9a,b) angeordnet wird.

3. Verfahren nach Anspruch 2,

30 dadurch gekennzeichnet, dass die erste Elektrode (9a) durch einen Abschnitt der leitenden Verbindung (8) ausgebildet wird.

4. Verfahren nach einem der Ansprüche 2 oder 3,

dadurch gekennzeichnet,
dass für die erste und die zweite Elektrode (9a,b) eines der
Metalle Aluminium, Wolfram oder Kupfer vorgesehen wird.

5 5. Verfahren nach einem der Ansprüche 2 oder 3,
dadurch gekennzeichnet,
dass für die erste und die zweite Elektrode (9a,b) eines der
Edelmetalle Pt, Au oder Ag vorgesehen wird.

10 6. Verfahren nach einem der Ansprüche 2 bis 5,
dadurch gekennzeichnet, dass
- die erste Elektrode (9a) in einer ersten Metallebene (11a)
und die zweite Elektrode (9b) in einer zweiten Metallebene
(11b) ausgebildet werden und
- die leitende Verbindung (8) zwischen der ersten Gate-
Elektrode (7a) und der ersten Elektrode (9a) durch ein mit
leitendem Material gefülltes Kontaktloch (14) hergestellt
wird.

20 7. Verfahren nach einem der Ansprüche 2 bis 5,
dadurch gekennzeichnet, dass
- jeweils die erste und die zweite Elektrode (9a,b) in je-
weils einer im weiteren Prozessverlauf prozessierten Metall-
ebene (11) ausgebildet werden und
- die leitende Verbindung (8) zwischen der ersten Elektrode
(9a) und der ersten Gate-Elektrode (7a) durch übereinander
angeordnete mit leitendem Material gefüllte Kontaktlöcher
(14) hergestellt wird.

30 8. Verfahren nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass als Speicherschicht (10) eine organische Schicht vorge-
sehen wird.

9. Verfahren nach Anspruch 8,
dadurch gekennzeichnet,
dass die organische Schicht mit Porphyrinmolekülen vorgesehen
wird.

5 10. Verfahren nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, dass
- zur Herstellung von Source- und Drainleitungen, die Source/Drain-Bereiche (5) von zeilenweise angeordneten in einer
Zeile jeweils benachbarten Speicherzellen (1) durch im Halbleitersubstrat vorgesehene, dotierte Bereiche (16) elektrisch
leitend miteinander verbunden werden und
- nach einer vorgegebenen Anzahl von durch dotierte Bereiche
(16) im Halbleitersubstrat (17) elektrisch leitend miteinan-
der verbundenen Source/Drain-Bereichen (5) leitende Verbin-
dungen (8) mit in einer Metallebene (11) ausgebildeten und
die Source/Drain-Bereiche (5) von Speicherzellen (1) verbin-
dende Leiterbahnen (13) vorgesehen werden.

15 20 11. Speicherzelle (1) mit einer digitale Information
speichernden Speicherschicht (10), mit zwei in einem Halblei-
tersubstrat (17) ausgebildeten durch einen Kanalbereich (4)
voneinander beabstandeten Source/Drain-Bereichen (5) und ei-
nem auf einer Substratoberfläche des Halbleitersubstrats (17)
25 im Wesentlichen oberhalb des Kanalbereiches (4) vorgesehenen
Gate-Dielektrikum (6),
dadurch gekennzeichnet, dass
- auf dem Gate-Dielektrikum (6) eine erste Gate-Elektrode
(7a) angeordnet ist,
- die Speicherschicht (10) auf der ersten Gate-Elektrode
(7a), oder zur ersten Gate-Elektrode (7a) beabstandet ange-
ordnet ist,
- eine leitende Verbindung (8) zwischen der Speicherschicht
(10) und der ersten Gate-Elektrode (7a) vorgesehen ist,

- über der Speicherschicht (10) eine Isolatorschicht (18) und
- auf der Isolatorschicht (18) eine zweite Gate-Elektrode (7b) vorgesehen sind.

5 12. Speicherzelle nach Anspruch 11,
dadurch gekennzeichnet,
dass die Speicherschicht (10) zwischen einer ersten und einer
zweiten Elektrode (9a,b) angeordnet ist.

10 13. Verfahren nach Anspruch 12,
dadurch gekennzeichnet,
dass die erste Elektrode (9a) durch einen Abschnitt der leitenden
Verbindung (8) ausgebildet ist.

15 14. Verfahren nach einem der Ansprüche 12 oder 13,
dadurch gekennzeichnet,
dass die erste und die zweite Elektrode (9a,b) aus einem der
Metalle Aluminium, Wolfram oder Kupfer bestehen.

20 15. Verfahren nach einem der Ansprüche 12 oder 13,
dadurch gekennzeichnet,
dass die erste und die zweite Elektrode (9a,b) aus einem der
Edelmetalle Pt, Au oder Ag.

25 16. Speicherzelle nach einem der Ansprüche 12 bis 15,
dadurch gekennzeichnet, dass
- die erste Elektrode (9a) in einer ersten Metallebene (11a)
und die zweite Elektrode (9b) in einer zweiten Metallebene
(11b) ausgebildet sind und
- die leitende Verbindung (8) zwischen der ersten Gate-Elektrode (7a) und der ersten Elektrode (9a) durch ein mit
leitendem Material gefülltes Kontaktloch (14) vorgesehen ist.

30 17. Speicherzelle nach einem der Ansprüche 12 bis 15,

dadurch gekennzeichnet, dass
- jeweils die erste und die zweite Elektrode (9a,b), in je-
weils einer von der ersten Gate-Elektrode (7a) weiter als die
erste oder die zweite Metallebene (11a,b) beabstandeten Me-
5 tallebene (11) ausgebildet sind und
- die leitende Verbindung (8) von der ersten Elektrode (9a)
mit der ersten Gate-Elektrode (7a) durch in Isolationsschich-
ten (12) eingebrachte übereinander angeordnete und mit lei-
tendem Material gefüllte Kontaktlöcher (14) vorgesehen ist.

10 18. Speicherzelle nach einem der Ansprüche 11 bis 17,

dadurch gekennzeichnet,
dass die Speicherschicht (10) als eine organische Schicht
vorgesehen ist.

15 19. Speicherzelle nach Anspruch 18,
dadurch gekennzeichnet,

dass die organische Speicherschicht (10) Porphyrinmoleküle
enthält.

20 20. Speichereinrichtung mit zeilenweise angeordneten, Halb-
leiterstrukturen aufweisenden und eine digitale Information
speichernden Speicherzellen,
gekennzeichnet durch,

25 Speicherzellen (1) nach einem der Ansprüche 11 bis 19.

21. Speichereinrichtung nach Anspruch 20,

dadurch gekennzeichnet, dass
- zur Bereitstellung von Source- und Drainleitungen, Sour-
ce/Drain-Bereiche (5) von in einer Zeile jeweils benachbarten
30 Speicherzellen (1) durch im Halbleitersubstrat (17) vorgese-
hene, dotierte Bereiche (16) elektrisch leitend miteinander
verbunden sind und

- nach einer vorgegebenen Anzahl von durch die dotierten Bereiche (16) im Halbleitersubstrat (17) elektrisch leitend miteinander verbundenen Source/Drain-Bereichen (5) leitende Verbindungen (8) zu in einer Metallebene (11) ausgebildeten und die Source/Drain-Bereiche (5) von Speicherzellen (1) verbindenden Leiterbahnen (13) vorgesehen sind.

22. Verfahren zum Betrieb der Speichereinrichtung (2) nach einem der Ansprüche 20 oder 21 bei dem:

10 - zum Programmieren der Speichereinrichtung (2) die jeweiligen Speicherschichten (10) von ausgewählten Speicherzellen (1) durch Anlegen von Spannungen an die Source/Drain-Bereiche (5) und die zweite Gate-Elektrode (7b) mittels energiereicher Elektronen oder mittels eines Tunnelvorganges von Elektronen

15 durch das Gate-Dielektrikum (6) hindurch aufgeladen werden,

- zum Löschen der Programmierung die aufgeladenen Speicherschichten (10) durch Anlegen einer sich von der beim Programmieren angelegten Spannung unterscheidenden Lösch-Spannung an die zweite Gate-Elektrode (7b) mittels eines Tunnelvorganges von Elektronen zum Kanalbereich (4) oder zum Source/Drain-

20 Bereich (5) entladen werden und

- zum Lesen der programmierten Speichereinrichtung (2) eine Stärke eines Drain-Stromes in Abhängigkeit von einem Ladungszustand der Speicherschicht (10) detektiert wird.

FIG 1

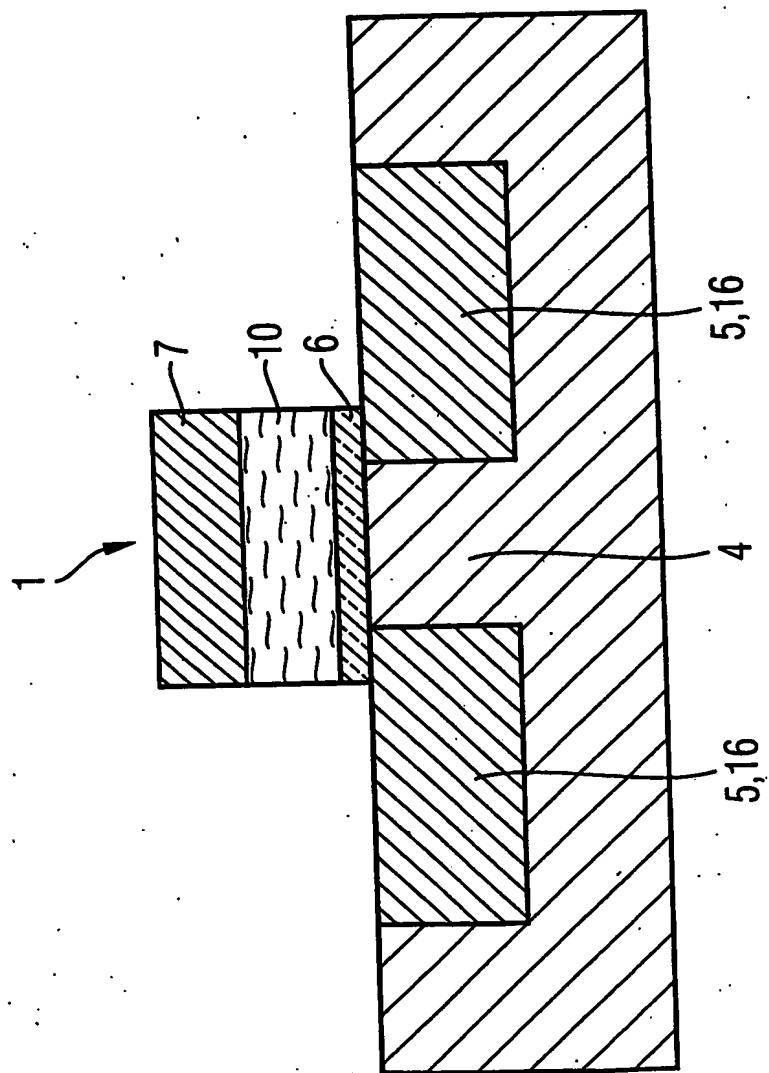
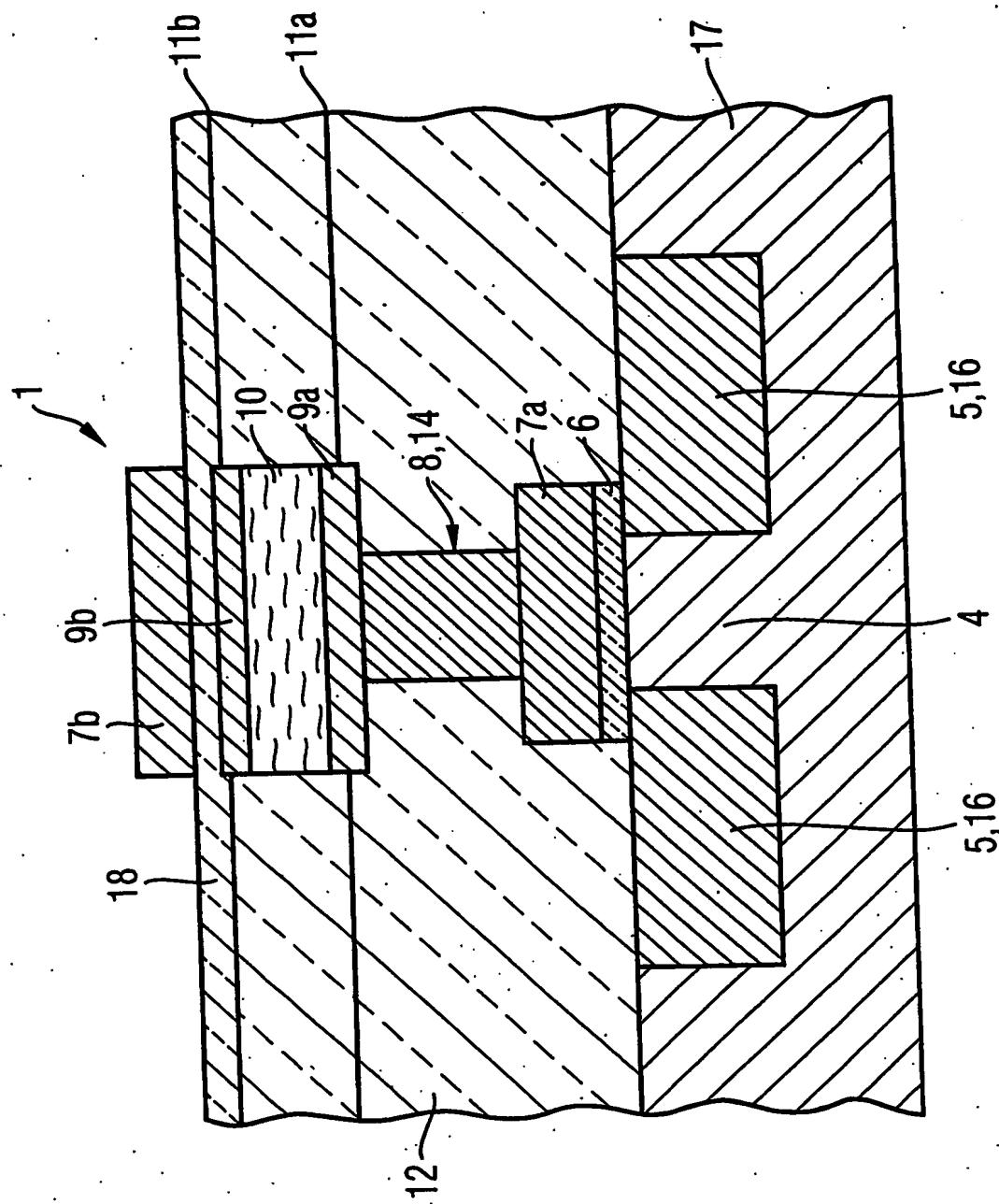


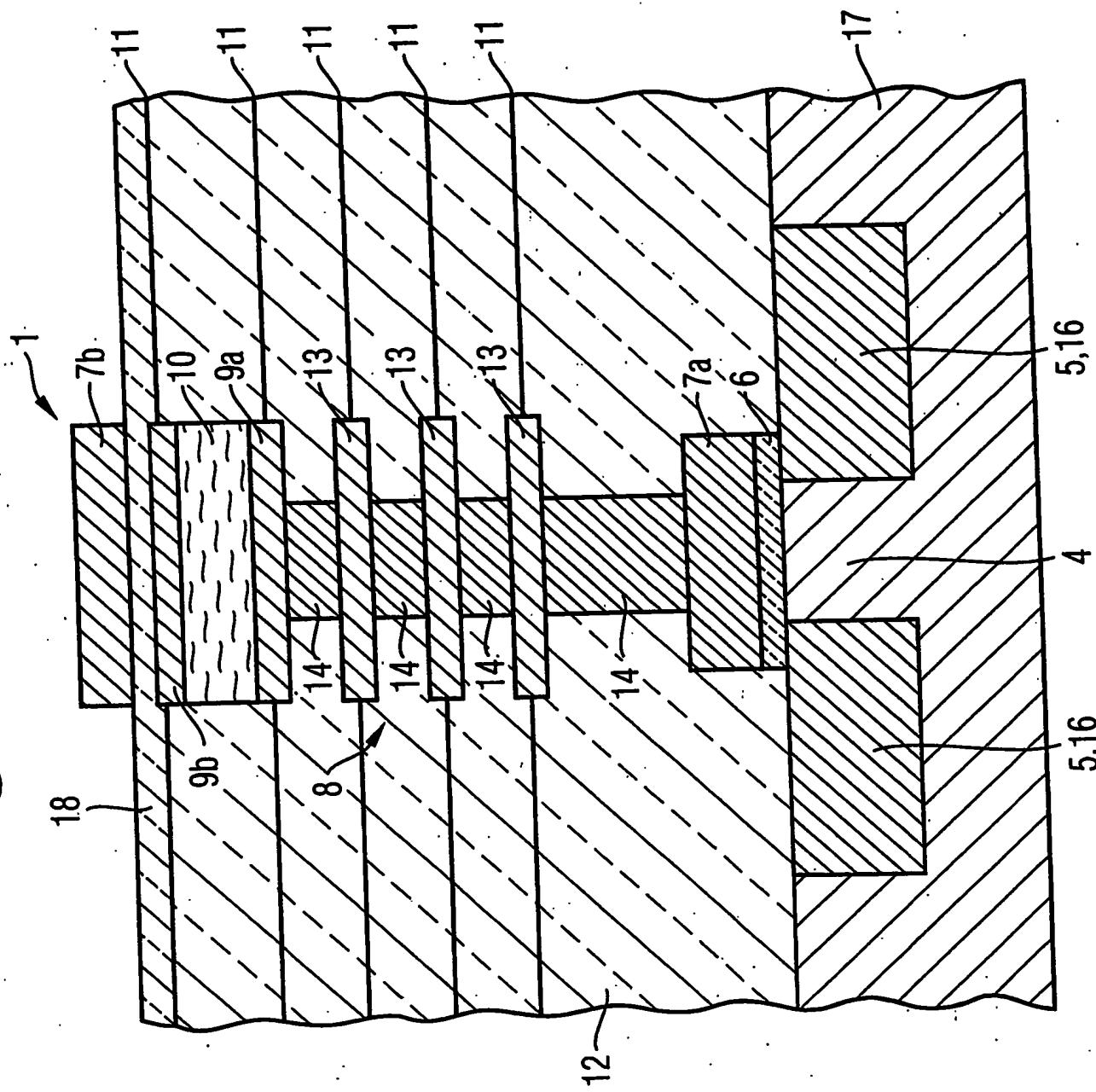
FIG 2



200351105

3/5

٦٥



3
FIG

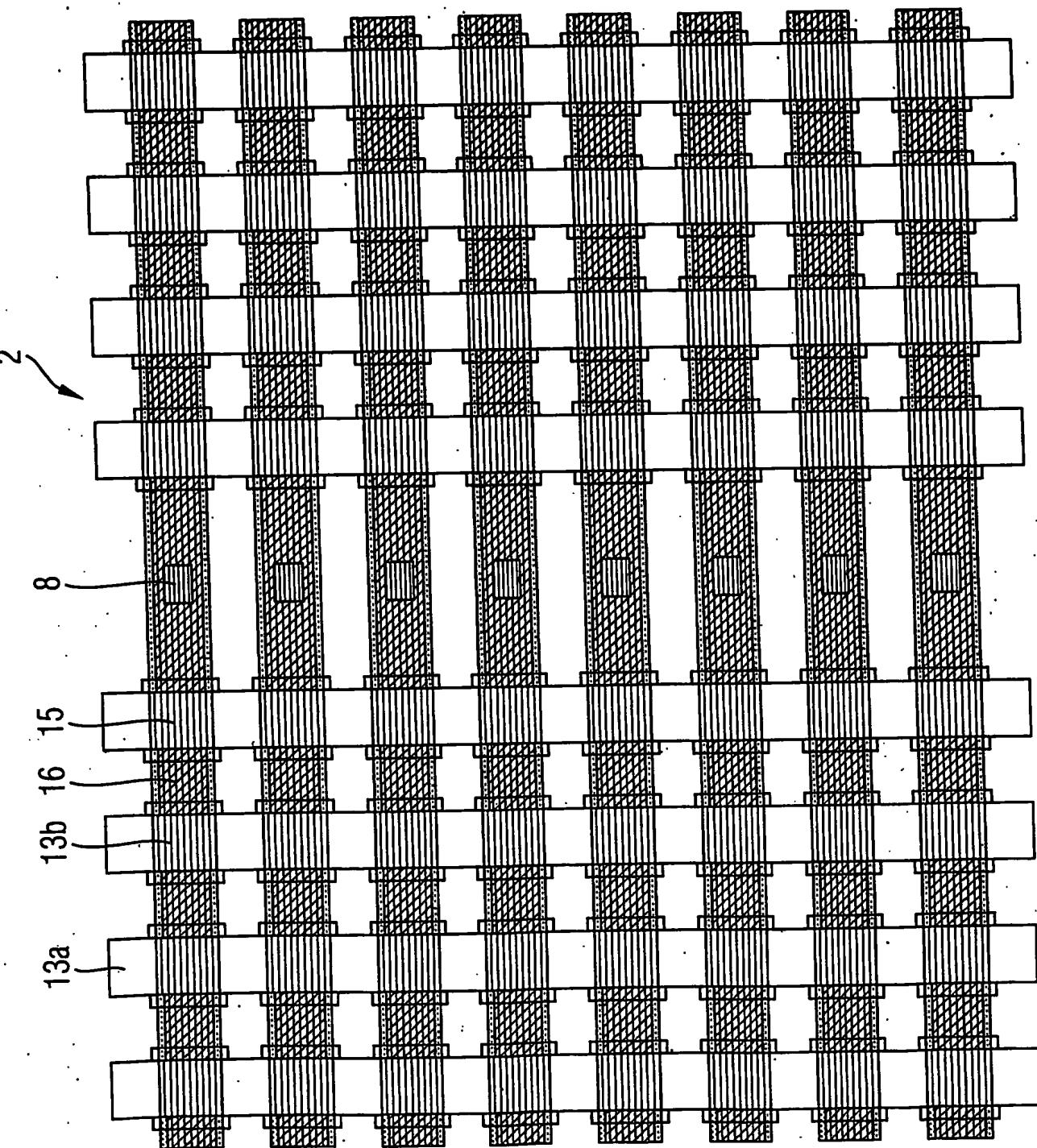
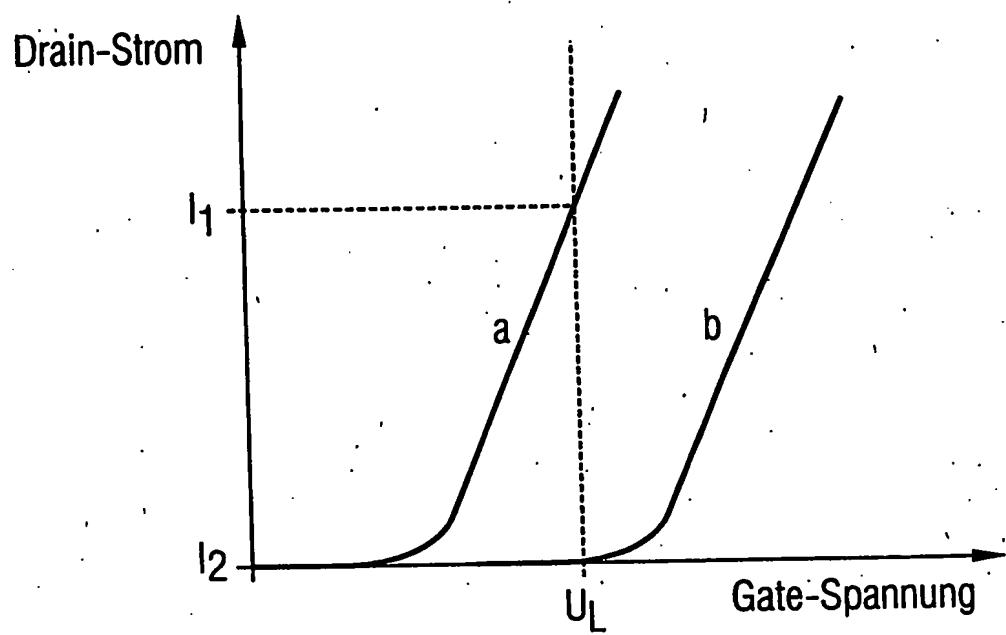


FIG 4

FIG 5



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.